

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020010074020 A**  
(43)Date of publication of application: **04.08.2001**

(21)Application number: **1020000078549**  
(22)Date of filing: **19.12.2000**

(71)Applicant: **SILICON TECH LIMITED**  
(72)Inventor: **HAM, BYEONG GU**  
**HAM, BYEONG SU**  
**KIM, SEON JU**  
**LEE, SANG SIK**

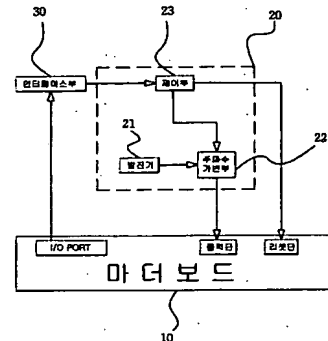
(51)Int. Cl. **G11C 29/00**

(54) TIMING CLOCK CONTROLLER OF SEMICONDUCTOR MEMORY TEST DEVICE

(57) Abstract:

PURPOSE: A timing clock controller of a semiconductor memory test device is provided to check a product property for a variation of a clock by controlling the clock applied to a memory upon testing the semiconductor memory device using a mother board of a computer apparatus.

CONSTITUTION: In a timing clock controller of a semiconductor memory test device, an oscillator(21) oscillates a desired clock frequency. A frequency variation part(22) controls the oscillation output of the oscillator depending on a control signal applied from an external, thereby outputting the controlled output to the semiconductor memory part. A clock control module(20) includes a controller(23). The controller sends a control signal to the part of changing a frequency depending on the frequency changing signal input from the mother board of a computer apparatus. Thereby, the output of the oscillator is controlled in the part of changing a frequency. An interface part(30) applies the frequency changing signal provided from the mother board to the clock control module.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20020412)

Patent registration number (1003346600000)

Date of registration (20020417)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

Date of extinction of right ( )

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. 7  
G11C 29/00

(11) 공개번호 특2001-0074020  
(43) 공개일자 2001년08월04일

(21) 출원번호 10-2000-0078549  
(22) 출원일자 2000년12월19일

(71) 출원인 주식회사 실리콘 테크  
우상엽  
경기 성남시 분당구 야탑동 219-3

(72) 발명자 이상식  
경기도용인시기흥읍구갈리한양아파트107-1101  
김선주  
충청남도천안시쌍용동555-2신성은하수아파트102동401호  
함병수  
경기도수원시팔달구매탄4동1230번지원천주공1단지아파트104동1204호  
함병구  
경기도부천시원미구심곡2동150-20

(74) 대리인 원은섭

심사청구 : 있음

(54) 반도체 메모리 테스트 장치의 타이밍 클럭 제어기

요약

본 발명은 컴퓨터 장치의 마더 보드를 이용한 반도체 메모리의 테스트시에, 메모리에 인가되는 클럭을 조정할 수 있도록 함으로써 클럭 변화에 대한 제품 특성의 검사가 가능토록 하여 제품의 품질을 향상시킬 수 있도록 한 반도체 메모리 테스트 장치의 타이밍 클럭 제어기를 제공함을 목적으로 한다.

이는 소정의 클럭 주파수를 발진시키는 발진기와, 상기 발진기의 발진 출력을 외부로부터 인가되는 제어신호에 따라 조정하여 반도체 메모리로 출력하는 주파수 가변부와, 컴퓨터 장치의 마더 보드로부터 입력되는 주파수 변경신호에 따라 상기 주파수 가변부에 제어신호를 보내 주파수 가변부에서 상기 발진기의 출력을 조정하여 출력토록 하는 제어부를 갖는 클럭조정모듈과; 상기 마더 보드로부터 제공되는 주파수 변경신호를 상기 클럭조정모듈에 인가해주는 인터페이스부를 구비함에 의해 달성된다.

대표도

## 도 1

색인어

메모리, 마더 보드, 테스트, 타이밍 클럭

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 메모리 테스트 장치의 타이밍 클럭 제어기의 블록 구성도.

도 2 및 도 3은 본 발명의 동작 흐름도이다.

< 도면의 주요부분에 대한 부호의 설명 >

10 : 마더 보드 20 : 클럭조정모듈

21 : 발진기 22 : 주파수 가변부

23 : 제어부 40 : 인터페이스부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 타이밍 클럭 제어기(Timing Clock Controller)에 관한 것으로, 특히 PC 또는 워크 스테이션 또는 서버 등의 컴퓨터 장치의 마더 보드를 이용한 반도체 메모리의 테스트시에 테스트할 메모리에 인가되는 클럭을 조정할 수 있도록 하여 타이밍 클럭 변화에 대한 제품특성을 검사할 수 있도록 한 반도체 메모리 테스트 장치의 타이밍 클럭 제어기에 관한 것이다.

일반적으로 싱크로너스 다이내믹 랜덤 액세스 메모리(SDRAM)나 램버스 디램(RAMBUS DRAM) 또는 스테틱 랜덤 액세스 메모리(SRAM) 등과 같은 반도체 메모리를 이용한 장치에 있어서는, 소자의 조립 공정 후에 내부회로의 특성이나 신뢰성을 검사하기 위해, 조립된 반도체 메모리 소자를 소켓에 장착한 후, 고가의 반도체 메모리 테스트를 위한 전문장비를 사용하여 테스트를 실시하고 있다.

그러나 전문 반도체 메모리 테스트 장치는 가격이 고가이기 때문에 하나 하나의 메모리 소자의 테스트에 소요되는 비용이 상승하게 되므로 기업의 가격 경쟁력을 낮출 뿐만 아니라, 메모리 소자가 실제로 설치되어 사용되는 환경이 아닌 별도의 장치에서 테스트되어지기 때문에 메모리 소자가 실제 사용되는 환경인 PC 마더보드 등에서는 그 사용 환경 특성을 제대로 구현하지 못하기 때문에 테스트의 정확도가 떨어지고 품질문제를 발생시키는 단점이 있었다.

이와 같은 문제점을 해결하기 위해 최근 반도체 소자 생산업체에서는 반도체 소자를 실제 사용하는 PC 또는 워크 스테이션 또는 서버 등의 컴퓨터 장치의 마더 보드를 이용한 테스트 방법을 많이 사용하고 있다.

이러한 컴퓨터 장치의 마더 보드를 이용한 방법은 마더 보드에 메모리 모듈이나 반도체 단위 소자를 착탈 가능하게 설치할 수 있게 하기 위해 소켓을 설치한 후, 이 소켓에 테스트할 메모리 모듈이나 단위 메모리 소자를 삽입하고 컴퓨터 장치를 가동시킴으로써 반도체 소자가 정상인지 불량인지를 판단한다.

그러나 현재 컴퓨터 장치의 마더 보드(주로 인텔 펜티엄-iii CPU 호환 계열)에서는 메모리용 타이밍 클럭(14.31818 MHz)이 고정되어 있어 타이밍 클럭 변화에 대한 제품특성을 검사할 수 없는 단점이 있었다.

## 발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 해결하기 위한 것으로, 본 발명의 목적은 컴퓨터 장치의 마더 보드를 이용한 반도체 메모리의 테스트시에, 메모리에 인가되는 클럭을 조정할 수 있도록 함으로써 클럭 변화에 대한 검사가 가능토록 하여 제품의 품질을 향상시킬 수 있도록 한 반도체 메모리 테스트 장치의 타이밍 클럭 제어기를 제공함에 있다.

## 발명의 구성 및 작용

이러한 목적을 달성하기 위한 본 발명은 컴퓨터 장치의 마더 보드를 이용한 반도체 메모리의 테스트 장치에 있어서, 상기 마더 보드로부터 제공되는 주파수 변경신호에 따라 클럭 주파수를 조정하여 상기 반도체 메모리로 출력하는 클럭조정모듈과; 상기 마더 보드로부터 제공되는 주파수 변경신호를 상기 클럭조정모듈에 인가해주는 인터페이스부로 구성됨을 특징으로 한다.

상기 클럭조정모듈은 소정의 클럭 주파수를 발진시키는 발진기와; 상기 발진기의 발진 출력을 외부로부터 인가되는 제어신호에 따라 조정하여 상기 반도체 메모리로 출력하는 주파수 가변부와; 상기 인터페이스부를 통해 상기 마더 보드로부터 입력되는 주파수 변경신호에 따라 상기 주파수 가변부에 해당 제어신호를 보내 상기 주파수 가변부에서 상기 발진기의 출력을 조정하여 출력토록 하는 제어부로 구성됨을 특징으로 한다.

이하, 본 발명을 첨부된 도면을 참조로 하여 상세히 설명한다.

도 1은 본 발명에 따른 반도체 메모리 테스트 장치의 타이밍 클럭 제어기의 블록 구성도를 도시한 것으로, 마더 보드(10)의 CPU로부터 제공되는 주파수 변경신호에 따라 클럭 주파수를 조정하여 마더 보드(10)의 테스트를 위한 특정 소켓에 장착된 반도체 메모리로 출력하는 클럭조정모듈(20)과, 상기 마더 보드(10)의 CPU로부터 제공되는 주파수 변경신호를 상기 클럭조정모듈(20)에 인가해주기 위한 인터페이스부(30)로 구성된다.

상기 클럭조정모듈(20)은 소정의 클럭 주파수(14.31818MHz)를 발진시키는 발진기(21)와, 상기 발진기(21)의 발진 출력을 외부로부터 인가되는 제어신호에 따라 조정하여 마더 보드(10) 내에 실장된 반도체 메모리로 출력하는 주파수 가변부(22)와, 상기 인터페이스부(30)를 통해 CPU로부터 입력되는 주파수 변경신호에 따라 상기 주파수 가변부(22)에 제어신호를 보내 주파수 가변부(22)에서 발진기(21)의 출력을 조정하여 출력토록 하는 제어부(23)로 구성되며, 클럭조정모듈(20)은 도시하지 않은 전원부에 의해 전원을 공급받는다.

상기 인터페이스부(30)는 통상의 컴퓨터 장치의 I/O포트(I/O PORT)를 이용한 3-와이어 버스 인터페이스이다.

상기와 같이 구성된 본 발명을 도 2의 흐름도와 함께 설명한다.

먼저, 타이밍 클럭 변화에 대한 제품특성 검사를 위해 작업자가 도시하지 않은 키보드 등을 이용한 키입력을 행하여 마더 보드(10)에서 주파수 변경신호를 출력하게 되면, 이는 인터페이스부(30)를 통해 제어부(23)에 입력된다(S10).

이에 따라 제어부(23)는 기존의 클럭 주파수 설정값과 현재 입력된 주파수 변경신호의 값을 비교하여(S20) 두 값이 동일하면 기존의 클럭 주파수 설정값이 그대로 출력되도록 주파수 가변부(22)에 해당 제어신호를 보낸다. 이에 따라 주파수 가변부(22)에서는 기존의 클럭 주파수 설정값이 그대로 출력되며, 정해진 프로그램에 따른 다음 명령이 수행된다(S30).

만일, 기존 클럭 주파수 설정값과 현재 입력된 주파수 변경신호의 값을 비교하여 동일하지 않으면 제어부(23)는 주파수 가변부(22)로 현재 입력된 주파수 변경신호에 해당하는 클럭의 주파수를 출력하도록 제어신호를 보내고, 도시하지 않은 신호라인 등을 통해 타이밍 클럭 테스트의 진행이 정지(Halt) 상태로 되도록 마더 보드(10)로 신호를 보내며, 또한 마더 보드(10)로 리셋 신호를 보낸다(S40-S60).

리셋이 완료되면 상기 주파수 가변부(22)에서 제어부(23)의 제어신호에 따라 조정된 클럭 주파수( $14.31818\text{MHz} \pm 50\%$ )가 반도체 메모리로 출력되어 반도체 메모리가 변경된 주파수로 동작되도록 한다(S70).

따라서 타이밍 클럭 변화에 대한 반도체 메모리의 특성검사가 가능하게 되는 것이다.

한편, 상기와는 달리 도 3과 같이, 단계(S20)에서 기존 클럭 주파수 설정값과 현재 입력된 주파수 변경신호의 값이 동일하지 않아 클럭 변경을 필요로 할 경우, 클럭 변경을 실행한 후(S40), 단계(S50-S70)를 수행하지 않고 곧바로 단계(S30)로 진행할 수도 있다.

본 발명은 상기에 기술된 실시 예에 의해 한정되지 않고, 당업자들에 의해 다양한 변형 및 변경을 가져올 수 있으며, 이는 첨부된 청구항에서 정의되는 본 발명의 취지와 범위에 포함된다.

#### 발명의 효과

이상에서 살펴본 바와 같이 본 발명은, 컴퓨터 장치의 마더 보드와 같은 실제 실장 환경에서의 반도체 메모리의 테스트 시 타이밍 클럭의 변화에 대한 제품특성을 검사할 수 있게 되므로 제품의 품질을 향상시킬 수 있게 된다.

#### (57) 청구의 범위

##### 청구항 1.

컴퓨터 장치의 마더 보드를 이용한 반도체 메모리의 테스트 장치에 있어서,

상기 마더 보드로부터 제공되는 주파수 변경신호에 따라 클럭 주파수를 조정하여 상기 반도체 메모리로 출력하는 클럭 조정모듈과;

상기 마더 보드로부터 제공되는 주파수 변경신호를 상기 클럭조정모듈에 인가해주는 인터페이스부로 구성됨을 특징으로 하는 반도체 메모리 테스트 장치의 타이밍 클럭 제어기.

##### 청구항 2.

제 1 항에 있어서,

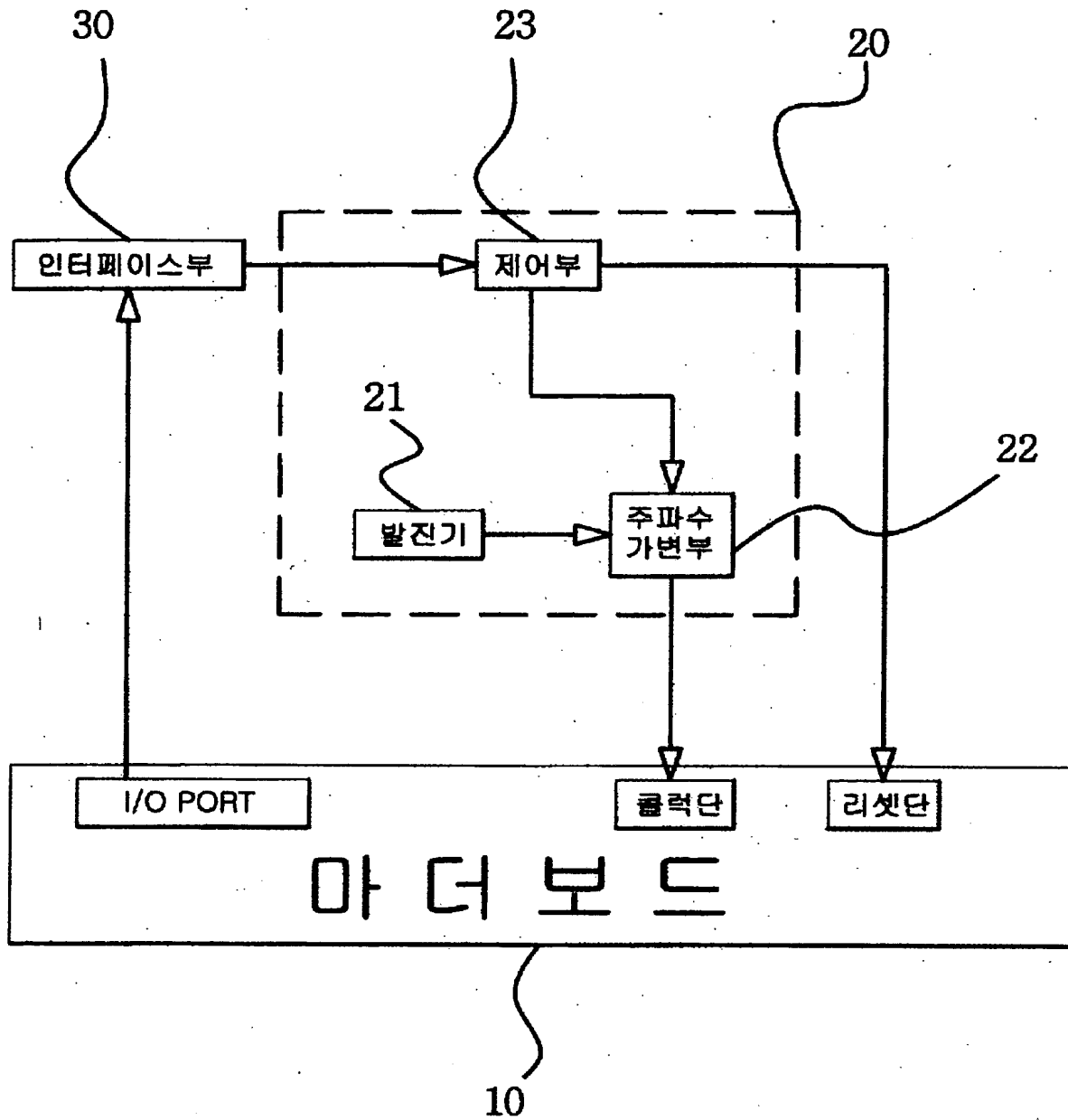
상기 클럭조정모듈은 소정의 클럭 주파수를 발진시키는 발진기와;

상기 발진기의 발진 출력을 외부로부터 인가되는 제어신호에 따라 조정하여 상기 반도체 메모리로 출력하는 주파수 가변부와;

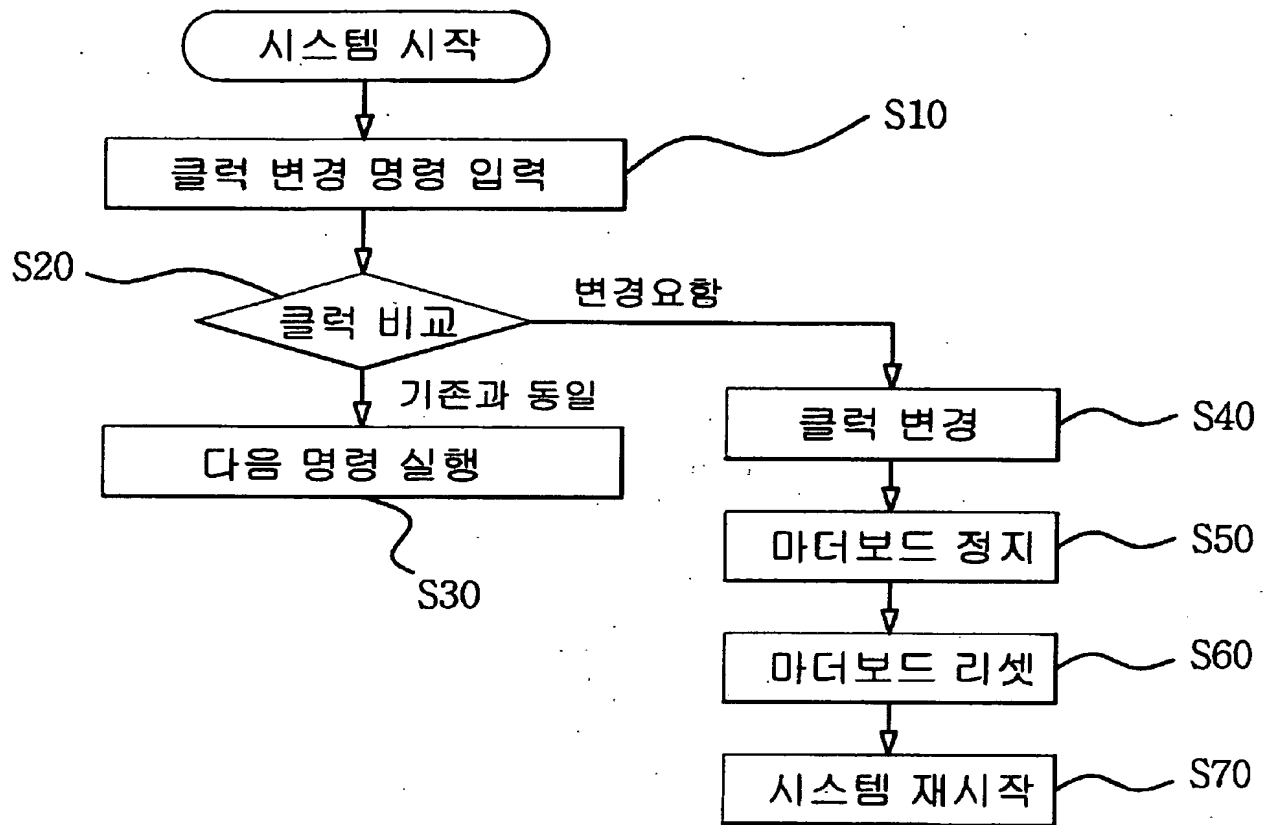
상기 인터페이스부를 통해 상기 마더 보드로부터 입력되는 주파수 변경신호에 따라 상기 주파수 가변부에 해당 제어신호를 보내 상기 주파수 가변부에서 상기 발진기의 출력을 조정하여 출력토록 하는 제어부로 구성됨을 특징으로 하는 반도체 메모리 테스트 장치의 타이밍 클럭 제어기.

도면

도면 1



도면 2



도면 3

